

IEEE 802.16e의 LDPC 부호화 기술 분석

김준성, 배슬기, 정비용, 송홍엽

연세대학교 부호 및 정보이론 연구실

- I. 서론
- II. QC-LDPC 부호
- III. Richardson의 부호화 기법
- IV. Dual-diagonal 행렬
- V. 결론

※

I. 서론

IEEE 802 표준은 미국 전기전자기술자협회(IEEE)가 근거리 통신(LAN)이나 도시 지역 통신망(MAN) 관련 표준화를 위해 설립한 IEEE 802 위원회에서 제정하는 접속기술 표준이다. 광대역 무선통신 시스템(Broad-band Wireless Access)인 IEEE 802.16 시스템은 WMAN(Wireless MAN)의 시스템 커버리지를 가지며 단말의 이동성을 지원하지 않는 시스템이다. 이 중 IEEE 802.16e 시스템은 고정 광대역 무선통신 시스템인 IEEE 802.16a 시스템을 기본 표준규격으로 하여 이동성을 추가한 광대역 이동통신 시스템의 표준 규격으로서 2004년 하반기 최종 표준규격 문서를 완료할 예정으로 현재 여러 가지 기술들이 활발히 논의되고 있다 [1,2].

고품질의 신뢰도를 요구하는 IEEE 802.16e 시스템에 적합한 채널 부호화 방식으로서 Shannon의 채널 용량 한계에 접근하는 우수한 성능을 나타내는 LDPC 부호에 대하여 많은 연구가 진행되고 있다. Shannon의 한계에 접근하는 또 다른 부호화 방식인 터보 부호와 비교해볼 때 반복 복호를 통하여 정정되지 않은 오류들을 대부분 검출할 수 있고, 부호의 최소거리가 길이에 따라 커지므로 터보 부호와 달리 오류 마루 현상이 나타나지 않는다는 장점이 있다. 또한 터보 부호에 비하

여 부호율의 가변이 매우 간단하고, 그래프를 기반으로 한 반복 복호 방법을 사용함으로써 완전 병렬처리가 고속 처리가 가능하다.

LDPC 부호는 우수한 성능에도 불구하고 터보 부호에 비하여 부호화 복잡도가 너무 크다는 단점을 가지고 있다. LDPC 부호는 기본적으로 블록 부호이기 때문에 부호화 과정은 행렬 곱 연산에 의하여 수행되고 이 경우 부호화 복잡도는 부호어 길이의 제곱에 비례하게 된다. 부호화 과정은 검사 행렬로부터 가우스 소거법을 통해 생성행렬을 구한 후 행렬 곱셈을 통하여 부호화 과정이 이루어지게 되며, 이 경우 생성행렬의 1의 개수가 적은 성질이 유지되지 않으므로 부호화 과정의 복잡도가 크게 증가되는 문제가 발생한다.

이러한 이유 때문에 IEEE 802.16e에 제안된 대부분의 LDPC 부호는 효율적인 부호화에 초점을 맞추어 개발되고 있으며, 여러 가지 다양한 구조를 가진 LDPC 부호들이 제안되었다 [3-9]. 행렬 곱 연산 대신 shift register를 이용하여 부호화가 가능하며 많은 장점을 가지고 있는 QC-LDPC 부호의 구조는 대부분의 제안된 부호에 적용되어 있다. 또한 Richardson과 Urbanke이 제안한 패리티 검사 행렬의 재구성 방법을 통하여 제곱에 비례하는 연산을 최소화함으로써 부호화 복잡도를 낮추는 구조를 가진 부호와 RA 부호의 차등 부호화기 구조를 이용하여 dual-diagonal 구조를 가진 검사 행렬을 구성하는 방식의 부호도 제안되어 있다.

본 고에서는 IEEE 802.16e의 표준기술로서 활발히 논의되고 있는 LDPC 부호에 적용된 여러 가지 기술에 대하여 살펴보고자 한다. II장에서는 QC-LDPC 부호에 대하여 살펴보고, III장에서는 Richardson의 부호화 기법, IV장에서는 dual-diagonal 구조를 가진 부호에 대하여 살펴보고 결론을 맺도록 한다.

II. QC-LDPC 부호

효율적인 부호화를 위해 QC-LDPC(Quasi-cyclic LDPC) 부호에 대하여 최근 많은 연구가 진행되고 있다. 예를 들어 IEEE 802.16e에 제안된 삼성전자의 Optional B-LDPC 부호는 무게 1인 순환행렬 블록을 이용하여 구성된 QC-LDPC 부호이다. QC-LDPC 부호는 이런 순환 행렬의 특징을 이용하여 효율적인 부호화를 가능하게 한다 [5,10-12].

Quasi-cyclic 부호는 선형 블록 부호로서 부호어를 2 이상 오른쪽 혹은 왼쪽으로 순환 이동시켜 생성한 부호어도 역시 부호어가 되는 부호이다. 예를 들어, 다음과 같은 생성 행렬이 주어졌을 때

$$G = \begin{pmatrix} 1 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 \\ 1 & 1 & 0 & 1 & 1 & 1 & 1 & 0 & 0 \\ 1 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 \end{pmatrix},$$

G 의 첫 번째 열인 111 100 110'을 오른쪽으로 3칸 순환 이동시킨 부호어가 2번째 열에 있다. 마찬가지로 2번째 열을 3칸 오른쪽 순환 이동시킨 부호어는 3번째 열에 있다. 그러나 1칸 혹은 2칸 이동시킨 부호어는 존재하지 않는다. Quasi-cyclic 부호는 cyclic 부호와 비슷하지만 이러한 shifting constraint를 가진다.

Quasi-cyclic 부호의 패리티 검사 행렬은 각각 $m \times m$ 순환행렬 블록으로 구성할 수 있다. $m \times m$ 순환 행렬 블록 $h_{i,j}$ 는 다음과 같이 주어진다.

$$h_{i,j} = \begin{pmatrix} c_0 & c_1 & \cdots & c_{m-1} \\ c_{m-1} & c_0 & \cdots & c_{m-2} \\ \vdots & \vdots & \ddots & \vdots \\ c_1 & c_2 & \cdots & c_0 \end{pmatrix}$$

각각의 순환행렬 블록 C 는 다음과 같이 첫 번째 행의 생성 다항식으로 정의될 수 있다.

$$g(x) = c_0 + c_1x + c_2x^2 + \cdots + c_{m-1}x^{m-1}$$

여러 개의 순환행렬 블록으로 구성된 quasi-cyclic 부호는 다음과 같이 $r \times s$ 개의 순환 행렬 $H_{i,j}$ 로 구성된 $mr \times ms$ 크기의 패리티 검사 행렬 H 를 가진다.

$$H = \begin{pmatrix} H_{1,1} & H_{1,2} & \cdots & H_{1,s} \\ H_{2,1} & H_{2,2} & \cdots & H_{2,s} \\ \vdots & \vdots & \ddots & \vdots \\ H_{r,1} & H_{r,2} & \cdots & H_{r,s} \end{pmatrix}$$

여기서 $H_{i,j}$ 는 각각 $m \times m$ 크기의 순환 행렬이다.

Quasi-cyclic 부호는 순환 행렬의 분해를 통해서 만들 수도 있다. 예를 들어 다음과 같이 첫 번째 행의 다항식 $g(x) = 1 + x + x^3 + x^6$ 인 8×8 행렬이 주어졌다고 하자.

$$\begin{pmatrix} 1 & 1 & 0 & 1 & 0 & 0 & 1 & 0 \\ 0 & 1 & 1 & 0 & 1 & 0 & 0 & 1 \\ 1 & 0 & 1 & 1 & 0 & 1 & 0 & 0 \\ 0 & 1 & 0 & 1 & 1 & 0 & 1 & 0 \\ 0 & 0 & 1 & 0 & 1 & 1 & 0 & 1 \\ 1 & 0 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 1 & 1 \\ 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 \end{pmatrix}$$

$g(x) = 1 + x + x^3 + x^6$ 는 $g_1(x) = 1 + x^3$ 과 $g_2(x) = x^2 + x^6$ 로 임의적으로 분해할 수 있다. 이렇게 분해된 $g_1(x), g_2(x)$ 를 각각 순환 행렬 블록으로 만든 후 연결하여 다음과 같이 새로운 quasi-cyclic 부호의 행렬을 얻을 수 있다.

$$\left(\begin{array}{cccccccc|cccccccc} 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \end{array} \right)$$

생성행렬이 순환행렬인 경우 순환 특징을 이용하여 복잡한 부호화기를 그림 1과 같이 간단한 shift register와 논리 회로로써 구현할 수 있다. 예를 들어 $m = 7$ 이고 $g(x) = 1 + x^2 + x^3 + x^4$ 라고 하자. 이 때 부호화기의 구조는 그림 1과 같게 된다. 메시지는 $m_6, m_5, \dots, m_0$ 순으로 입력되며, 각 bit는 XOR되면서 다음 register로 한 칸씩 이동된다. 마지막 입력값인 m_0 가 입력되고 shift 되면 최종적으로 각 register에 저장된 값이 부호화된 결과가 된다.

QC-LDPC 부호의 패리티 검사 행렬 H 는 각각의 순환행렬을 다수의 행 블록과 열 블록으로 연결하여 구성할 수 있다. 이 때 H 로부터 가우스 소거법으로 유도되는 생성 행렬 G 도 또한 다음과 같이 순환행렬 블록들로 이루어진다.

$$G = \begin{pmatrix} 1 & & & & G_{1,1} & G_{1,2} & \cdots & G_{1,q} \\ & 1 & & & G_{2,1} & G_{2,2} & \cdots & G_{2,q} \\ & & \ddots & & \vdots & \vdots & \ddots & \vdots \\ & & & 1 & G_{p,1} & G_{p,2} & \cdots & G_{p,q} \end{pmatrix}$$

QC-LDPC 부호의 부호화기는 그림 2와 같이 구성할 수 있으며 각각의 블록 $G_{i,j}$ 는 그림 1에서 보인 것과 같이 shift register를 이용하여 구성할 수 있다.

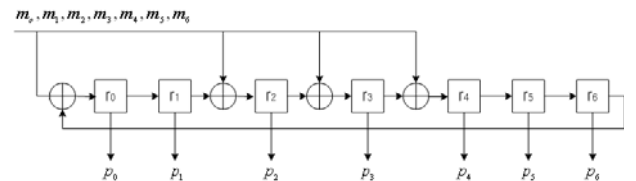


그림 1. Shift Register를 이용한 순환행렬 부호화기 구조의 예시

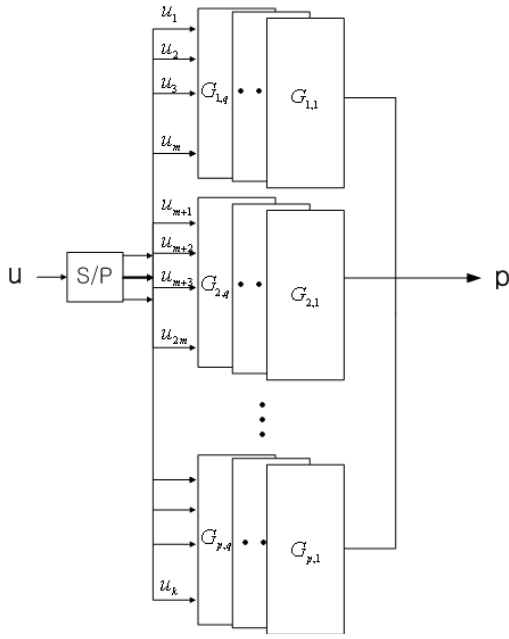


그림 2. QC-LDPC 부호의 부호화기 구조

일반적으로 LDPC 부호의 부호화를 위해서는 행렬 곱 연산을 사용하기 때문에 계산량이 매우 많아지게 될 뿐만 아니라, 생성 행렬에 해당하는 정보를 모두 알고 있어야 하므로 메모리와 논리 회로 개수의 증가로 인한 비용의 문제를 야기한다. QC-LDPC 부호는 shift register를 이용한 효율적인 부호화가 가능하며 각 순환행렬 블록에 대한 생성 다항식만을 알고 있으면 되므로 메모리와 논리 회로 개수를 효율적으로 줄일 수 있다는 장점이 있다.

III. Richardson의 부호화 기법

Richardson과 Urbanke가 제안한 효율적인 부호화 기법은 생성 행렬 없이 패리티 검사 행렬의 재구성을 통하여 패리티 검사 행렬만을 이용하여 부호화가 가능하도록 하는 기법으로써 삼성, Motorola, Nortel 등이 제안한 LDPC 부호에 적용되어 있다 [5,7,8,13].

일반적으로 $n \times m$ 패리티 검사 행렬 H 에 의하여 정의된 LDPC 부호의 부호어 x 는 다음을 만족한다.

$$Hx^T = 0^T$$

이러한 성질을 이용하여 부호어를 생성하기 위하여 가우스 소거법을 이용하여 그림 3과 같이 lower triangular 구조로 만들 수 있다. 이러한 구조를 이용하여 부호화기를 구성할 경우 부호어를 $x = (s, p)$ 라 할 때 $n - m$ 길이의 정보 비트 s 를 패리티 검사 행렬의 앞부분에 곱하고 나머지 패리티 비트 p_i 는 아래의 식을 이용하여 순차적으로 구할 수 있다.

$$p_l = \sum_{j=1}^{n-m} H_{l,j} s_j + \sum_{j=1}^{l-1} H_{l,j+n-m} p_j$$

이렇게 부호화기를 구성하는 경우 가우스 소거법에 의하여 행렬 H 의 1이 적은 성질이 사라지게 되므로 복잡도는 $O(n^2)$ 이 된다.

부호화기의 복잡도를 줄이기 위하여 Richardson은 가우스 소거법을 사용하는 대신 행렬 H 의 행과 열을 치환하는 것만을 허용하여 1이 적은 성질이 그대로 유지되도록 하였다. 치환만을 이용하여 행렬 H 를 재구성하는 경우 그림 4와 같이 완벽한 lower triangular 구조가 아닌 유사 lower triangular 구조를 가지게 된다. 이러한 구조를 가진 행렬 H 를 부호화를 위하여 다음과 같은 6개의 부분으로 나눌 수 있다.

$$H = \begin{bmatrix} A & B & T \\ C & D & E \end{bmatrix}$$

이 행렬의 E 부분을 0으로 만들기 위하여 다음과 같은 행렬을 곱하여 새로운 행렬을 얻을 수 있다.

$$H' = \begin{bmatrix} A & B & T \\ C & D & E \end{bmatrix} \times \begin{bmatrix} I & 0 \\ -ET^{-1} & I \end{bmatrix} = \begin{bmatrix} A & B & T \\ -ET^{-1}A + C & -ET^{-1}B + D & 0 \end{bmatrix}$$

새로운 행렬에 대하여 부호어를 $x = (s, p_1, p_2)$ 라 할 때 부호어는 다음의 두 식을 만족한다.

$$As^T + Bp_1^T + Tp_2^T = 0^T$$

$$(-ET^{-1}A + C)s^T + (-ET^{-1}B + D)p_1^T = 0^T$$

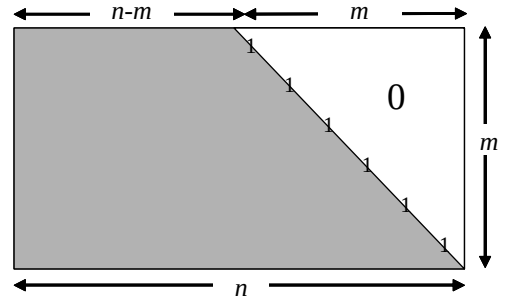


그림 3. lower triangular 구조의 패리티검사 행렬

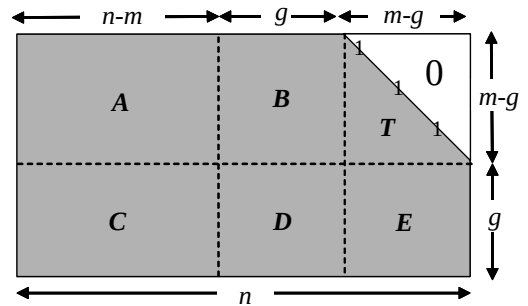


그림 4. 유사 lower triangular 구조의 패리티검사 행렬

여기서 $\phi = -ET^{-1}B + D$ 라고 정의하면 다음의 수식을 이용하여 패리티 비트를 얻을 수 있다.

$$p_1^T = -\phi^{-1}(-ET^{-1}A + C)s^T$$

$$p_2^T = -T^{-1}(As^T + Bp_1^T)$$

이러한 부호화 방식을 사용하는 경우 복잡도는 $O(n + g^2)$ 이 되어 g 의 크기를 최대한 작게 할 경우 거의 $O(n)$ 에 가까운 복잡도를 얻을 수 있다. Richardson의 부호화 기법을 적용한 경우 부호화기 구조는 그림 5와 같다.

위의 부호화 방식을 적용한 IEEE 802.16e에 제안된 LDPC 부호들의 경우 g 의 크기를 작게 하기 위하여 대부분 dual-diagonal에 가까운 형태의 행렬을 가지고 있으며 특히 삼성에서 제안한 Optional B-LDPC 부호의 경우 $\phi = I$ 가 되도록 구성하여 더욱 간단하게 부호화기를 구성할 수 있다.

그림 6은 Richardson의 부호화 기법을 사용하는 부호율 0.5인 삼성의 B-LDPC 부호와 convolutional 부호와의 FER 성능 비교 곡선이다 [5]. 효율적인 부호화가 가능하도록 하는 구조를 유지하면서 보다 높은 성능을 가지도록 설계된 LDPC 부호의 경우 같은 길이의 convolutional 부호에 비하여 FER 10^{-3} 에서 2dB 정도의 성능 향상을 보이는 것을 확인할 수 있다.

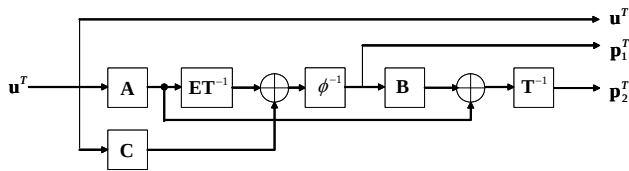


그림 5. Richardson의 부호화기 구조

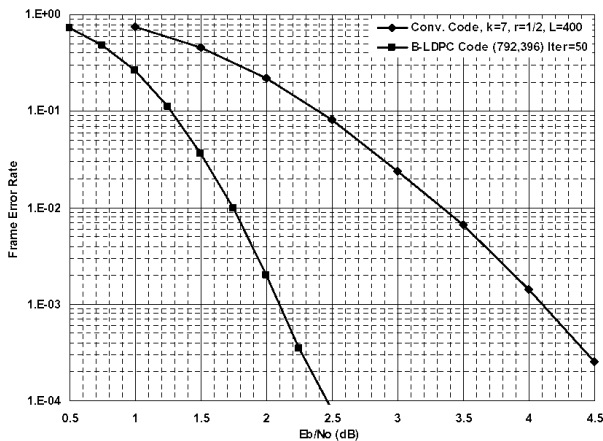


그림 6. 삼성의 B-LDPC 부호와 convolutional 부호의 FER 성능 비교 곡선

IV. Dual-diagonal 행렬

IEEE 802.16e에 제안된 대부분의 LDPC 부호는 dual-diagonal 형태의 행렬 구조나 혹은 그와 유사한 형태의 행렬 구조를 가지고 있다. 패리티 검사 행렬에서 패리티에 해당하는 부분이 dual-diagonal 형태가 되면 간단한 부호화 기법을 사용하여 부호화를 할 수 있다는 장점이 있다. 패리티 검사 행렬 H 를 정보 비트에 해당하는 H_1 행렬과 패리티 비트에 해당하는 H_2 행렬로 나누어 생각하면 다음과 같다 [14].

$$H = [H_1 \ H_2]$$

H_1 행렬은 1이 적은 $(n-k) \times k$ 행렬로 구성되고 H_2 행렬은 무게가 2인 $n-k-1$ 개의 열과 무게가 1인 열 하나로 이루어진다.

$$H_2 = \begin{bmatrix} 1 & & & & & \\ 1 & 1 & & & & \\ & 1 & 1 & & & \\ & & & \dots & & \\ & & & & 1 & 1 \\ & & & & & 1 & 1 \end{bmatrix}$$

이 경우 첫 번째 패리티 비트가 정보 비트에 의하여 결정이 되고 두 번째 패리티 비트는 정보 비트와 첫 번째 패리티 비트에 의해 결정된다. 이렇게 $n-k$ 개의 패리티 비트를 Richardson의 부호화 기법처럼 순차적으로 계산할 수 있어 선형 복잡도를 가지는 부호화가 가능하다. 이러한 부호화 연산은 단순히 AND와 XOR 회로로 구현할 수 있다.

또한 dual-diagonal 행렬은 매우 효과적인 부호화기의 설계를 가능하게 한다. 패리티 검사 행렬 H 에 해당하는 생성 행렬 G 는 다음과 같이 주어진다.

$$G = [I \ H_1^T H_2^{-T}]$$

H_2 의 inverse transpose 행렬은 다음과 같이 upper-triangular 형태가 된다.

$$H_2^{-T} = \begin{bmatrix} 1 & 1 & 1 & 1 & 1 \\ & 1 & \dots & \dots & 1 \\ & & 1 & \dots & 1 \\ & & & 1 & 1 \\ & & & & 1 \end{bmatrix}$$

이것은 변환 함수가 $1/1 \oplus D$ 인 차등 부호화기에 대응되는 변환 행렬에 해당하고 입력 $w_1, \dots, w_r$ 에 대해 다음과 같은 출력 $c_1, \dots, c_r$ 을 갖게 된다.

$$\begin{aligned} c_1 &= w_1 \\ c_2 &= w_1 + w_2 \\ &\vdots \\ c_r &= w_1 + \dots + w_r \end{aligned}$$

따라서 그림 7과 같은 구조의 효율적인 부호화기를 사용할 수 있다. H_1 행렬은 1이 적은 행렬이기 때문에 H_1^T 또한 1이 적은 행렬이 된다. H_1 행렬의 밀도를 δ 라 하면 $\delta k(n-k)$ 번의 행렬 곱 연산과 차등 부호화기에서 $n-k$ 번의 이진 덧셈 연산이 필요하다. 일반적으로 $k \times (n-k)$ 행렬 P 의 밀도는 0.5 정도이므로 대략 $0.5/\delta$ 의 비율로 연산량이 감소하게 된다.

dual-diagonal 구조를 쓰면 효율적인 부호화를 할 수 있지만 패리티 비트 부분의 행렬이 무게가 낮은 열로 결정되기 때문에 비균일 LDPC 부호가 좋은 성능을 내기 위한 무게 분포에 제한을 받게 된다. 즉 부호율에 따라 최적의 무게 분포가 달라지기 때문에 dual-diagonal 구조를 모든 부호율의 LDPC 부호에 적용하기는 힘들다. 하지만 부호율 1/2이상의 부호에서는 대부분 큰 성능열화 없이 설계가 가능하기 때문에 최근 제안되고 있는 LDPC 부호에서는 dual-diagonal 구조를 많이 채택하고 있다.

그림 8은 dual-diagonal 구조를 사용하는 부호율 0.5인 Runcom의 MR-LDPC 부호와 삼성의 B-LDPC 부호의 FER 성능 비교 곡선이다 [4]. 일반적으로 dual-diagonal 구조를 사용하면 열무게가 1인 열이 생기기 때문에 오류 마루 현상 등의 성능 열화를 가져올 수 있지만 잘 설계된 부호의 경우 그다지 문제가 되지 않음을 확인할 수 있다.

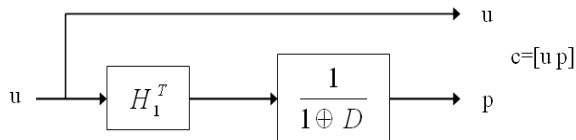


그림 7. dual-diagonal 행렬을 이용한 차등 부호화기

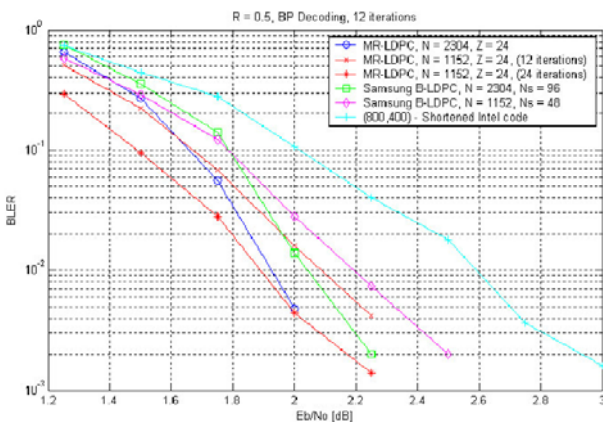


그림 8. dual-diagonal 구조를 가지는 Runcom의 MR-LDPC 부호의 성능 곡선

IV. 결론

본 고에서는 광대역 이동통신 접속 규격인 IEEE 802.16e 시스템의 채널 부호화 방식으로서 제안된 LDPC 부호에 적용된 여러 가지 기술에 대하여 살펴 보았다. 표준 규격으로 제안된 LDPC 부호들은 효율적인 부호화를 위하여 quasi-cyclic 구조를 가진 경우가 많으며 또한 대부분의 경우 dual-diagonal 구조를 채택하고 있다. dual-diagonal 구조를 가진 경우 차등 부호화기를 이용하거나 Richardson의 부호화 기법을 이용하여 부호화기를 구성한다.

본 고에서 소개된 부호들은 모두 선형 복잡도를 가지는 알고리즘으로 부호화되지만 각각의 장단점으로 인해 어느 특정 부호가 더 우수하다고 판단을 내리기는 힘들다. 하지만 dual-diagonal 구조를 이용한 부호의 연구가 활발히 이루어지고 있는 경향을 관찰할 수 있었다.

이 부호들은 부호화기를 효율적으로 구성할 수 있다는 점에서는 매력적이지만 기존의 부호와 비슷한 성능을 유지하면서도 낮은 부호율을 만족하는 부호의 생성은 쉽지 않은 편이다. 현재 이와 같은 점을 극복하기 위한 연구들이 계속 진행 중이지만 아직 뚜렷한 성과는 보이지 않는다. 본 고에서 제시된 부호 외에도 효율적인 부호화 및 복호화가 가능한 부호의 개발을 위해 연구해야 할 부분이 여전히 많이 남아 있다.

참고문헌

- [1] 강충구, 김일환, "IEEE 802.16 계열 Wireless MAN 표준 기술", *TELECOMMUNICATIONS REVIEW*, pp. 149-182, 2003
- [2] 주관유, 구창희, 이현우, 김영균, "이동 광대역 무선 접속 시스템의 기술 정리 및 표준화 동향", *TELECOMMUNICATIONS REVIEW*, pp. 197-224, 2003
- [3] IEEE C802.16e-04/xx, "Low-complexity scalable LDPC coding scheme for OFDMA", Min-seok Oh, Kyuhyuk Chung, LG Electronics, June 2004
- [4] IEEE C802.16e-04/xx, "Multi-Rate LDPC code for OFDMA PHY", Eli Shasha, Simon Litsyn, Eran Sharon, Runcom Tech. Ltd., June 2004
- [5] IEEE C802.16e-04/78, "Optional B-LDPC coding for OFDMA PHY", Panyuh Joo, Seho Myung, Jaeyeol Kim, Gyubum Kyung, Hongsil Jeong, Kyungcheol Yang, DS Park, Jeho Jeon, Samsung Electronics, May 2004
- [6] IEEE C802.16e-04/96, "Draft text for LDPC

- coding scheme for OFDMA", Eric Jacobsen, Intel Corporation, April 2004
- [7] IEEE C802.16e-04/101r1, "Modified LDPC Matrix providing improved performance", Brian Classon, Yufei Blankenship, Motorola, May 2004
- [8] IEEE C802.16e-04/104, "Algebraic Low-Density Parity-Check Codes for OFDMA PHY Layer", Aleksandar Purkovic, Sergey Sukobok, Nina Burns, Brian Johnson, Nortel Networks, May 2004
- [9] IEEE C802.16e-04/141r2, "LDPC coding for OFDMA PHY", E. Jacobson, B. Johnson, B. Classon, J. Kim, E. Sasha, K. Chung, R. Murias, D. Lee, M. Olfat, S. Lee, June 2004
- [10] M. Bandsmer, V. K. Bhargava and T. A. Gulliver, "A Comparison Of Binary Quasi-Cyclic Decoder Implementations," *IEEE Electrical and Computer Engineering, 2000 Canadian Conf on*, vol 1, pp. 280-286, 2000
- [11] S. Lin and J. D. J. Costello, *Error Control Coding: Fundamentals and Applications*, 2nd edition, Prentice Hall, 2004
- [12] S. Lin, L. Chen, J. Xu, and I. Djurdjevic, "Near shannon limit quasi-cyclic low-density parity-check codes," *IEEE Trans. Inform. Theory*, vol. 50, pp. 2030-2035, June. 2003
- [13] Thomas J. Richardson and R. L. Urbanke, "Efficient Encoding of Low-Density Parity-Check Codes," *IEEE Trans. IT*, vol. 47, pp. 638-656, Feb. 2001
- [14] M. Yang, Y. Li, and W. E. Ryan, "Design of efficiently-encodable moderate-length high-rate irregular LDPC codes," *IEEE Trans. Comm.*, vol. 52, pp.564-571, 2004

筆者紹介



김 준 성

2001년 : 연세대학교 전파공학과 학사
 2003년 : 연세대학교 전기전자공학과 석사
 2003년 ~ 현재 : 연세대학교 대학원 전기전자공학과 박사과정



배 슬 기

2003년 : 연세대학교 전기전자공학부 학사
 2003년 ~ 현재 : 연세대학교 대학원 전기전자공학과 석사과정



정 비 응

2004년 : 연세대학교 전기전자공학부 학사
 2004년 ~ 현재 : 연세대학교 대학원 전기전자공학과 석사과정



송 홍 엽

1984년 : 연세대학교 전자공학과 학사
 1986년 : USC 대학원 전자공학과 석사
 1991년 : USC 대학원 전자공학과 박사
 1992년 ~ 1993년 : Post Doc.. USC 통신과학연구소
 1994년 ~ 1995년 : Qualcomm Inc., 선임연구원
 1995년 ~ 현재 : 연세대학교 전기전자공학부 교수